



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09284518

(43)Date of publication of application: 31.10.1997

(51)Int.Cl.

H04N 1/21

H04N 1/44

(21)Application number: 08118437

(71)Applicant:

RICOH CO LTD

(22)Date of filing: 16.04.1996

(72)Inventor:

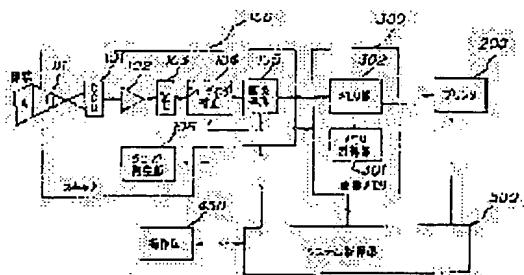
OBATA MASATO

(54) DIGITAL IMAGE FORMING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital image forming device for improving secrecy.

SOLUTION: A scanner 100 digitally reads an image on an original and an image memory 300 stores image data which is read. The image is formed based on stored image data and image data is read again from the image memory after a series of image forming operations terminate. A system control part 500 forms the image. Image data which the image memory stores can arbitrarily be deleted. Thus, the formation of the image by an unrelated person can be prevented. Then, convenience improves when it is automatically deleted after prescribed time passes.



03でディジタル信号(以下、画像データとも言う)に
変換後、シェーディング補正回路104にてCCD10
1の感度ムラや、光源110の光量のムラや、レンズ
11などの光量分布の補正を行われ、その後画像処理回
路105に投入して、MTF補正や変倍処理、2値化な
どのさまざまな処理を施した後に画像メモリ300に転
送する。

【0011】またスキャナ100内のクロック発生部1
06では画像読み取り時に用いる制御用の信号を発生し
ている。図3に各制御信号と原稿との関係を示す。制御
信号には主走査方向の同期を取るための信号LSYNC
と、主走査方向の最大読み取り有効領域を表す信号LG
ATEと、LGATEの開始を表す信号*LGATES
Tと、後で詳しく説明するが原稿の主走査方向の有効領
域を表す信号WFGATEと、図3には示していないが
全体の基準となるクロック信号CLKKなどがある。

【0012】画像メモリ300にはスキャナ100から
同軸ケーブル700を介して送られてきた画像データが
入力される。この画像メモリ300は後述するメモリ制
御部301とメモリ部302とで構成されており、メモ
リの容量は16MbitのDRAMを16個搭載してい
るので256Mbit、画像容量としては原稿画像を4
00DPI(ドット/インチ)、2値で読み取った場合
およそA0サイズ1枚分に相当する。

【0013】プリンタ200は基本的にはアナログ複写
機と同じプロセス(ドラム廻り、搬送、分離、定着)を
持つが、書き込み部がディジタル機特有であり、本実施
例ではレーザダイオードやLEDアレイにより感光体ド
ラム上に静電潜像を形成し、記録紙の上に転写して定着す
ることにより複写画像を形成する。

【0014】次に画像メモリ300について図4を使用
して詳細に説明する。画像メモリ300は前述のように
実際に画像データを記憶するメモリ部302とメモリ制
御部301とで構成されており、メモリ制御部301は
302に対して書き込みアドレスや読み出しアドレス、
また画像データなどの制御を行うメモリ制御部301と
に分かれており、メモリ制御部301は更に画像データ
をメモリ部302のどの位置に書き込むかを或いはどの
位置から読み出すかを制御するアドレス制御部303
と、書き込み、読み出しのアドレス計算、管理などメモ
リ部302に対する制御を司るメモリ制御部305と、画
像データを処理する画像データ処理部306に分かれて
いる。

【0015】更にアドレス制御部303はメモリ部30
2への書き込みに関する部分として、原稿の幅、すなわ
ち画像310の主走査方向の有効領域を検知する原稿幅
検知部310と原稿の長さ、すなわち画像データの副走
査方向の有効領域を検知する原稿長検知部320と、メ
モリ部302へ書き込みアドレスを発生する書き込みア
ドレス発生部330と、書き込みアドレス発生部330
へアドレスの初期値を設定する書き込みアドレス設定部

50

340と、原稿長検知部320により検知された副走査
方向の画像データ有効領域信号が有効である間、原稿の
読み取りラインデータすなわちメモリ部302への書き込みア
ドレスをカウンタする書き込みラインカウンタ部350と
に分かれている。

【0016】読み出しに関する部分としてプリンタ20
0からの画像データ要求信号に応じて読み出し有効信号
を発生する読み出し有効信号発生部360と、読み出し有効信
号発生部360により発生された読み出し有効信号が有効
である間、メモリ部302からの読み出しラインをカウ
ントする読み出しラインカウンタ部370と、メモリ部30
2に読み出しアドレスを発生する読み出しアドレス発生部3
90と、読み出しアドレス発生部390に対してアドレスの
初期設定を行う読み出しアドレス設定部380とに分かれて
いる。そして書き込みアドレスと読み出しアドレスを切
り換えてメモリ部302に供給するアドレス切り換え部
345がある。

【0017】画像データ処理部306はスキャナ100
から入力された画像データをシリアル/パラレル変換し
てメモリ部302に投入するS/P変換部610と、ス
キャナ100からの画像データをメモリ部302に投入
するか、メモリ部302から読み出した画像データをプ
リンタ200に送るかを切り換えるデータ切り換え部6
20と、メモリ部302から読み出した画像データをラ
ッチするデータラッチ部630とデータラッチ部630
でラッチした画像データをパラレル/シリアル変換する
P/S変換部640と、P/S変換部640でパラレル
/シリアル変換された画像データに対して反転、ミラー
リング、シフト等の編集の画像データ加工を行う画像加
工部650とで構成されている。

【0018】以下更に画像メモリ300の各部について
詳細に説明する。まず画像データ処理部306について
説明する。スキャナ100に読み取られた画像データD
1は同軸ケーブル700を介して画像メモリ300のS
/P変換部610に投入される。

【0019】S/P変換部610は図26に示すように
ANDゲート611とシフトレジスタ612とフリップ
・フロップ(以下、F/Fとも言う)613により構成
されている。

【0020】図27と共に動作を説明すると、シフトレ
ジスタ612では画像データD2をデータ入力端子Aに
入力し、ANDゲート611で副走査方向の読み取り有
効領域を表す信号WFGATEと主走査方向の最大有効
読み取り領域を表す信号LGATEのANDを取り、そ
の信号をデータ入力端子Bに入力する。画像データD
2の不要な部分をマスクして、クロック入力端子CLK
に投入したクロック信号CLKKに同期して遅延して出力
する。

【0021】そしてF/F613ではクロック端子CLK
Kにクロック信号CLKKの16周期に1回Hレベルとな

るラッチ信号CLKK16を入力してラッチし、周期を1
/16に落として16ラインパラレルに変換した画像デ
ータD3を出力する。そしてこの読み出された画像データD3をF/F6
31のクロック端子CLKKに投入したクロック信号RD
STBでラッチして画像データD5を出力する。

【0022】画像データの周期を1/16に落とすこと
により、見かけ上メモリ部302に対してライトとリー
ドの動作を同時に行うように制御できる。つまり図28
に示すようにクロック信号CLKKの16周期をメモリサ
イクルの単位として、最初の4CLKK周期をリードサイ
クル、次の8CLKK周期をリフレッシュサイクル、最後
の4CLKK周期をライトサイクルとし、16CLKK周期
単位でライトとリードを同時に行っている。

【0023】そして各々のサイクルが有効であることを
示す信号をそれぞれ*RDEN、*RFEN、*WRE
Nとし、各信号ともLレベルの間がそのサイクルが有効
とする。F/F613の出力ライン部端子OEには*
WRENを入力している。実際にはF/F613は
ライトサイクルが有効な期間のみ画像データD3を出力
し、その他の期間では出力はハイインピーダンス状態と
なる。

【0024】メモリの内容を書き消す場合にはWFGA
TE信号がオンせずにLレベルのままなので画像データ
D2は常にマスクされる。従って最終的にF/F613
から出力される画像データD3は常にLレベル(白デー
タ)となる。このデータをメモリ302に書き込むこと
により書き消される。

【0025】データ切り換え部620について説明す
る。データ切り換え部620は図29に示すように双方
向トランジスタ621により構成されており、データ入
出力A端子にはS/P変換部610及び後述のデータラ
ッチ部630の16bitのデータラインが接続され、
データ入出力B端子にはメモリ部302の16bitの
データラインが接続されている。

【0026】図28も用いて動作を説明する。方向切り
換え端子DIRには*WRENが接続されているので、
*WRENがLレベルの間(ライト動作が有効の間)は
画像データの方向はA端子からB端子となり、S/P変
換部610からメモリ部302に画像データは流れる。
逆に*WRENがHレベルの間は画像データの方向はB
端子からA端子となり、メモリ部302から後述のデー
タラッチ部630に画像データは流れる。ただし出力カ
イネール端子OEには*RFENを入力している。このリ
フレッシュ期間中はデータ入出力端子A、B共に、ハイ
インピーダンス状態となる。

【0027】データラッチ部630について説明する。
データラッチ部630は図30に示すようにF/F63
1にて構成されている。図31も用いて動作を説明す
る。データ切り換え部620により、画像データはメモ
リ部302へのライトデータかメモリ部302からのリ

50

ードデータかを切り換えられ、時分割でリードサイク
ルの時にメモリ部302にから画像データは読み出され
る。そしてこの読み出された画像データD3をF/F6
31のクロック端子CLKKに投入したクロック信号RD
STBでラッチして画像データD5を出力する。

【0028】P/S変換部640について説明する。P
/S変換部640は、図32に示すように、シフトレジ
スタ651により構成されている。図33も用いて動作
を説明する。

【0029】データラッチ部630により所定のタイミ
ングにてラッチされたパラレルの画像データD5をシフ
トレジスタ651のパラレル入力P10~P115に入
力し、シフト/ロード端子SH/*LDにシフト/ロー
ド信号*DTLDを入力すると、*DTLDがLレベル
の時にクロック端子CLKKに投入したクロック信号CL
Kの立ち上がりエッジでパラレル入力に投入したD5が
ロードされ、それと同時にシリアル出力端子SOにD
500を出力する。以下*DTLDがHレベルの間、C
LKに同期して画像データをシフトして、シフトレジス
タ651のシリアル出力SOにはD501、502、
...、515を出力し、シリアル出力の画像データD6を得
る。

【0030】画像加工部650について説明する。画像
加工部650は図34に示すようにEX-ORゲート6
71、トグルのラインバッファ672、ラインバッファ
のラインアドレスカウンタ673、リードアドレスカウ
ンタ674にて構成される。

【0031】以下動作を説明する。EX-ORゲート6
71は画像反転を行うためのものであり、ラインバッフ
ア672、ラインアドレスカウンタ673、リードアド
レスカウンタ674は画像シフト、ミラーリング、ダブ
ルコピーを行うためのものである。EX-ORゲート6
71では画像データD6とシステム制御部305からの反
転/非反転切り換え信号REVを入力している。R
EVがLレベルで反転処理を行わない時は画像データD
6をスルーで出力するが、REVがHレベルの時は反転
処理を行うので画像データD6を反転処理した後出力す
る。

【0032】またラインバッファ672ではラインアド
レスカウンタ673及びリードアドレスカウンタ674
により指定する書き込み/読み出しアドレスをすらすこ
とにより主走査方向に画像シフトしたり、昇順に書き込
んで降順に読み出すことによりミラーリングを行った
り、LSYNC内に1度読み出し終了後もう1度読み
出すことによりダブルコピーを実現する。このラインバ
ッファのアドレス制御部についてはシステム制御部305よ
り設定された編集情報に基づいて行う。この様に画像編
集した後画像データD7を得る。

【0033】アドレス制御部303の各部について説明
する。最初にアドレス制御部303の書き込みに関する

部分について説明する。原価検知部310及び原価長検知部302について説明する。図5はスクヤナ100の原価検知センサ311～318および原価長検知センサ321、原価長検知センサ322を配置している。各センサは反射型のセンサであり原価がその上に存在するか否かによりオンまたはオフする。

【0034】図2も用いて実際の原価読み取り動作に基づいて各センサの動作を説明する。オペレータが原価を入力ローラに挿入すると、原価検知センサ311～318が挿入した原価のサイズに応じてオンする。例えばA4サイズの場合に挿入した場合は314、315のセンサだけがオンし、A2サイズの場合に挿入した場合は312～317までのセンサがオンすると言うように、原価の幅に応じてオンするセンサの組み合わせが変わるので原価の幅を検知することが可能となる。

【0035】そしてこの組み合わせ信号DATAWIDTHをメモリ制御部305に入力して判断し、その判断結果に応じて各アドレス発生部330に印加する。原価検知の検知終了後、不図示のピンチングロードが入力ローラ107の駆動ローラの圧が解除され、原価は更に奥に挿入可能となる。この同時に点灯110が点灯し、原価読み取りの準備を開始する。更に原価が奥に挿入され、原価の先端が不図示のゲート爪に突き当たると、原価検知センサ321をオンすると不図示の検出センサが駆動し、ゲートローラ112がオンしてゲート爪が開き、そして搬送ローラ112が原価を搬送する。原価が搬送されて原価の先端が原価長センサ322の上を横切ると、原価長センサ322がオンする。

【0036】そして原価が搬送されて原価の後端が原価長センサ322の上を通過すると原価長センサ322はオフして、原価が原価長センサ322の上を通過している間を原価の読み取り有効領域として検知し、読み取り有効領域信号WFGATEを図4に示すメモリ制御部305及び搬送ラインカウンタ350に入力する。A4縦の原価の幅及び長さを検知する場合を図6に示す。

【0037】搬送ラインカウンタ部350について説明する。搬送ラインカウンタ部350は図7に示すように、搬送ラインカウンタ部352とANDゲート353で構成されている。

【0038】図8も用いて動作を説明する。カウンタ352のクリア端子CLRには制御方向の読み取り有効領域信号を示すFPGATE信号を入力する。このFPGATE信号は上記WFGATE信号と、メモリの内容の消去を行う際にメモリ制御部305によりソフト的にオンさせる消去有効信号INFGATE信号とをORゲート351によりORを取った信号である。またクロック端子CLKには主走査方向の同期を取るための信号LSYNCCを入力し、得られた出力QA～QCはANDゲート352に入力している。

レベルになる。

【0044】また*SHIFTFENDはダウンカウンタ332のロード信号としてロード端子LDに、また、クロック端子CLKにクロック信号CLKを入力されているので、この時ダウンカウンタ332のプリセット値DOT0～13がロードされ、その後クロック信号CLKに同期してカウンタダウンする。そしてDOT分カウンタダウンすると、ポローが生じて*DOTENDはANDゲート333を介してF/F334のCLKに入力されているので、F/F334のQ出力が*DOTENDの立ち上がりエッジで今度はHレベルになる。

【0045】次にカウンタ335の動作を説明すると、このカウンタ335のプリセット入力にはメモリ制御部305から搬送アドレス検知部340を介して書き込みアドレスの初期値WADINIT0～23がプリセットされる。この初期値WADINIT0～23は書き込みラインカウンタ部350の出力WINT8の開始位置から1クロック分だけLレベルになるロード信号*WINTESTSTによりロードされ、メモリ部302に対する書き込みアドレスWADRS0～23が初期値WADINIT0～23に設定される。

【0046】そしてF/F334のQ出力*ADRSENBがカウンタ335のカウンティネーブル端子EPIに入力しているため、Q出力*ADRSENBがCLKがHレベルの時にカウンタアップせず、書き込みアドレスWADRS0～23が変わらないが、Q出力*ADRSENBがLレベルになるとカウンタアップして書き込みアドレスWADRS0～23は更新され、従って1ラインの原価値DOT分の画像データがメモリ部302に書き込まれる。なお、Q出力*ADRSENBはまた読出アドレス発生部390に入力されるが、その説明は図17及び図18に譲る。

【0047】書込アドレス検知部340は図12に示すようにパラレル1/O341により構成され、このパラレル1/O341の入力LINに対してメモリ制御部305が原価検知部310により検知されたDATAWIDTHと書込ラインカウンタ部350により検知されたWINT8に基づいて書込アドレスの初期値WADSET0～23を計算して出力する。そしてパラレル1/O341は次の書き込みアドレスの初期値WADSET0～23がメモリ制御部305から入力するまでの入力値WADSET0～23を初期値WADINIT0～23として保持する。

【0048】アドレス制御部303のうちメモリ部302に対する読み出しアドレスを制御する部分の各部について以下説明する。まず読出有効信号発生部360について説明する。図13は読出有効信号発生部360の構成の一例を示したものであり、図14はその動作を示したものである。読出有効信号発生部360はF/F336

1により構成されている。読出有効信号発生部360はメモリ制御部305がメモリ部302から画像データを読み出し可能と判断するまではF/F361のクリア端子に入力されたRFGENBをLレベルにしており、Q出力からの読み出し有効信号(以下、RFGATEとも言う)をLレベルにする。

【0049】そしてメモリ部302が画像データを読み出し可能と判断したとき、メモリ制御部305がRFGATEをHレベルにセットすることによりRFGATEを出力可能な状態とし、プリンタ200から画像データを読み出し要求信号(以下、DREQとも言う)が入力されるとその立ち上がりエッジにより、D入力Hレベルに設定されているのでRFGATEを出力(Hレベルに)する。そして画像データの読み出しが終了すると、メモリ制御部305がRFGENBをLレベルにセットすることにより、RFGATEの出力を停止(Lレベル)する。そしてこのRFGATEは読出ラインカウンタ部370及びメモリ制御部305に入力されそれ以後の処理に用いられる。

【0050】読出ラインカウンタ部370について説明する。図15は読出ラインカウンタ部370の構成の一例を示したものであり、図16はその動作を示したものである。読出ラインカウンタ部370はカウンタ371とANDゲート372で構成されており、カウンタ371のクリア端子には読出有効信号発生部360で発生されたRFGATE信号が入力され、クロック端子には主走査方向の同期を取るための信号LSYNCCが入力されている。

【0051】そしてカウンタ371の出力QA～QCはANDゲート372に入力されている。以下動作を説明すると、メモリ制御部305がメモリ部302からの画像データの読み出しを可能と判断してRFGENBをHレベルとした後でプリンタ200からDREQが入力されRFGATEがオン(Hレベル)になると、それまで出力QA～QCがクリア(カウンタ値=0)されており、それが解除され、メモリ部302から1ライン画像データを読み出す毎にクロック端子にLSYNCCが入力され、その立ち上がりエッジによりカウンタアップする。

【0052】そしてカウンタ値が7" (QA～QC=H)になると、ANDゲート372の出力QINT8がHレベルとなる。以下再びカウンタ値は0" (QA～QC=L)に戻る。結局QINT8はRFGATEがオンした後メモリ部302から8ライン分画像データの間Hレベルとなる。そしてこのQINT8はメモリ制御部305に入力され、それ以後の処理に用いられる。

【0053】読出アドレス発生部390について説明する。図17は読出アドレス発生部390の構成の一例を示したものであり、図18はその動作を示したものである。読出アドレス発生部390はカウンタ391から構

成されている。以下動作を説明すると、カウンタ391は読出しアドレス設定部380からメモリ部302へ発生するための読み出しアドレスの初期値RADINITA0~23がプリセット値として設定されており、これは* RINT8ST (RINT8の開始位置から1CLK分シフトしたレベルになる番号)によりロードされ読み出しアドレスRADRSA0~23はRADINITA0~23になる。

【0054】そして送込アドレス発生部330により発生された*ADRSBがHレベルの時は、*ADRSBがカウンタ391のカウントインネンブル端子に入力されているのでCLKが入力されてもカウンタアップは行われないので出力される読み出しアドレスRADRSA0~23はRADINITA0~23のまま変わらないが、*ADRSBがLレベルの間はCLKに同期してカウンタアップが行われるので順次読み出しアドレスRADRSA0~23は更新され、1ライン当たりメモリ部302に記憶されたDOTの分すなわち原稿の幅の分だけ画像データがメモリ部302から読み出される。

【0055】読出しアドレス設定部380について説明する。図19は読出しアドレス設定部380の構成の一例を示したものである。読出しアドレス設定部380はパラレル1/O381により構成されている。メモリ制御部305は原稿検知部310により検出したDATAWIDTHと、読出しラインカウンタ部370により検出したRINT8から計算したRADSETA0~23としてパラレル1/O381に出力する。そしてパラレル1/O381は入力された値を読み出しアドレス発生部309に設定する読み出しアドレスの初期値RADINITA0~23として次の読み出しアドレスの初期値がメモリ制御部305から出力されるまで保持し続ける。

【0056】メモリ制御部305について説明する。メモリ制御部305はいわゆるCPU及びROM、RAM、割り込みコントローラなどの周辺の装置から構成されており、ROMに格納されたプログラムに従って動作を行う。以下その基本的な動作について説明する。

【0057】図20はメモリ制御部305で行うメインの動作フローチャートである。電源オン後、ステップS1では割り込みコントローラ、パラレル1/O、プログラマ

WADSET0~23=8 * DATAWIDTH * Yin + OFFSET

【0062】この式の意味は8ライン毎に割り込みがかかるので1ライン分のデータ量DATAWIDTHに8を掛けて、それにRINT8割り込みを行った回数Yinを掛け、メモリ制御部305でメモリ部302へ画像データを記憶する。ステップS13ではステップS12で計算したアドレスを読み出しアドレス設定部340に設定して割り込み処理を終了し、メインフローチャートの無限ループに戻り割り込み入力を持つ。以下W1

2に記憶されるとプリンタ200での記録紙の給紙が滞

50

み、記録紙が現像開始位置に近づくとき、所定のタイミングでプリンタ200よりDREQが発生し、この信号がメモリ制御部305に入力される。そしてこの信号を割り込み番号としてDREQ割り込み処理を行う。DREQ割り込みではリードアドレスの初期値の設定や、リード用のプログラムのカウンタの初期化及びライト用のカウンタ値の保存などを行う。

【0064】以下図22の動作フローチャートを用いて説明する。ステップS21ではその時点でのWINT8割り込みを行った回数YinをCOUNTに代入して一時保存する。ステップS22ではリード時にプログラムで使用するカウンタYoutを初期化(Yout=0)して、ステップS23ではメモリ部302からの読み出しアドレスの先頭をRADSETA0~23=OFFS ET (=書き込みアドレスの先頭)として読出しアドレス設定部380に設定して割り込み処理を終了し、メインフローチャートの無限ループに戻り割り込み入力を持つ。

【0065】次にRINT8割り込みについて説明す

RADSETA0~23=8 * DATAWIDTH * Yout + OFFSET

【0068】この式の意味は8ライン毎に割り込みがかかるので1ライン分のデータ量DATAWIDTHに8を掛けて、それにRINT8割り込みを行った回数Youtを掛け、メモリ制御部305でメモリ部302へ画像データを記憶する。ステップS33ではステップS32で計算したリードアドレスをメモリ部302に記憶し、メモリ制御部305でメモリ部302からの読み出しアドレスの先頭をRADSETA0~23=OFFS ET (=書き込みアドレスの先頭)として読出しアドレス設定部380に設定して割り込み処理を終了し、メインフローチャートの無限ループに戻り割り込み入力を持つ。

【0069】最初がYoutがCOUNTよりも小さな値なのでメモリ部302に記憶した画像データをまだ全て読み出してないかと判断して処理を繰り返す。COUNTとメモリ部302に記憶した画像データを全て読み出したこととなるのでステップS35で読出しアドレス発生部360にRFBGENB=Lレベルをセットし、RFBGENB=Lレベルとすることにより割り込み処理を終了し、メインフローチャートの無限ループに戻り割り込み入力を持つ。処理を終了する場合はRINT8割り込みがかかる度に順次の8ライン分の読み出しアドレスの先頭の値を計算し、読出しアドレス設定部380に設定することで読み出しアドレスを管理しながらメモリ部302から画像データを読み出す。

【0070】次にWFBGENB=Lレベルについて説明する。原稿の読み取りが終了し、原稿長検知部320からのWFBGENB=Lレベルになるとその反転信号を割り込み番号としてWFBGENB割り込み処理を行う。WFBGENB割り込みでは次の原稿の読み取りに備えてライト用に使用したカウンタの値の保存と初期化及びメモリ部302の書き込みアドレスの初期値の設定を行

50

【0066】以下図23の動作フローチャートを用いて説明する。ステップS31ではRINT8の割り込み処理を行った回数をカウンタYoutをインクリメントする。(DREQ割り込みフローチャートのステップS22で初期化されているのでYout=1となる)そしてステップS32で次の式により、次の8ライン分のデータをメモリ部302のリードアドレスの計算を行う。

【0067】

RADSETA0~23=8 * DATAWIDTH * Yout + OFFSET

【0071】以下図24の動作フローチャートを用いて説明する。ステップS41ではWINT8割り込みを行った回数をカウンタYinの値をCOUNTに代入し、この値をRINT8割り込みの終了条件として値に備えて、Yinの値を初期化(Yin=0)し、ステップS42で次の式により、次の8ライン分のデータをメモリ部302に記憶させる。ステップS43で次の原稿をメモリ部302に記憶させ、メモリ部302からの読み出しアドレスの先頭をRADSETA0~23=OFFS ET (=書き込みアドレスの先頭)として読出しアドレス設定部380に設定して割り込み処理を終了し、メインフローチャートの無限ループに戻り割り込み入力を持つ。

【0072】最後にRFBGENB=Lレベルについて説明する。メモリ部302からの画像データの読み出しが終了して、RINT8割り込みで読出しアドレス発生部360にRFBGENB=Lレベルに設定し、RFBGENB=Lレベルとすることにより割り込み処理を終了し、メインフローチャートの無限ループに戻り割り込み入力を持つ。

【0073】図25の動作フローチャートを用いて説明する。ステップS51では読出しアドレス発生部360にRFBGENB=Lレベルに設定し、RFBGENB=Lレベルとすることにより割り込み処理を終了し、メインフローチャートの無限ループに戻り割り込み入力を持つ。処理を終了する場合はRINT8割り込みがかかる度に順次の8ライン分の読み出しアドレスの先頭の値を計算し、読出しアドレス設定部380に設定することで読み出しアドレスを管理しながらメモリ部302から画像データを読み出す。

【0074】次にWFBGENB=Lレベルについて説明する。原稿の読み取りが終了し、原稿長検知部320からのWFBGENB=Lレベルになるとその反転信号を割り込み番号としてWFBGENB割り込み処理を行う。WFBGENB割り込みでは次の原稿の読み取りに備えてライト用に使用したカウンタの値の保存と初期化及びメモリ部302の書き込みアドレスの初期値の設定を行

50

【0074】一連の複写動作と各割り込みタイミングの関係を図35に示す。メモリ302の内容を消去する場合の制御について説明する。メモリ302の内容を消去する場合には、通常原稿を読み取ってWFGATE信号をオンさせて画像データを書き込むとは異なり、メモリ制御305により、WFGATE信号の代わりとなる消去有効信号INFGATEをオンすることによって画像データの書き込みを開始する。またその時画像データは常に白に固定されており、メモリ302の内容は白に書き換えられる。

【0075】図36にメモリ302の内容の消去を行うまでの制御のフローチャートを示す。ステップS101において一連の複写動作が完了した後、システム制御部500はメモリ制御305に複写動作が完了したことを知らせるとともに計時を開始する。ステップS102では所定時間が経過したかどうかを判断し、所定時間が経過した場合にはメモリ内容の消去処理に移行する。所定時間が経過していない場合にはステップS103に進み、更に操作部450のモードクリアキーが押されたか（モードクリアが実行されたか）をシステム制御部500により判断する。

【0076】モードクリアが実行された場合にはメモリ内容の消去処理に移行し、モードクリアが実行されなければステップS104に進む。ステップS104ではスキャン100に原稿がセットされ複写動作が開始したかどうかを判断し、複写動作が開始すれば次の原稿の読み取りによりメモリ内容を上書きされるので、また一連の複写動作が完了するまでの処理は行われ、複写動作が開始されなければステップS102に戻り所定時間が経過したかどうか引き続き判断される。

【0077】次に実際にメモリの内容を消去するための制御について説明する。図37に制御のフローチャートを示す。まずステップS111ではメモリ制御305により書き込みのための初期設定を行い、書き込みアドレス設定部340に設定する書き込みアドレスの初期値を0（一番先頭）にして、また書き込みアドレス発生部330に設定する原稿の実験の幅を示すDOT0~13を規定可能な最大値とし、それに合わせてSHIFT0~13も設定する。DOT0~13を最大値にすることにより消去にかかる時間が最小となる。

【0078】ステップS112では書き込みのための初期設定が終わったのを受けて実際に書き込みをスタートするために、メモリ制御305により消去有効信号INFGATEをオンする。INFGATE信号をオンのと、以下自動的にWINT8割り込みが発生する中で、書き込みアドレスを制御しながらステップS113でメモリへのデータの書き込みを行う。この時画像データはS/P変換部610でマスキされているので白データとなっている。そしてステップS114でメモリ302の最終アドレスまで書き込みを行ったかを判断して、最終

アドレスまで書き込みを行えば引き続きステップS113での白データの書き込みを行い、最終アドレスまで書き込みが終了すればステップS115で消去有効信号INFGATEをオフし、書き込みを終了して処理を終える。

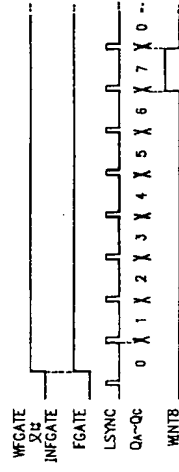
【0079】また別の制御の実施例について図38に示す。この実施例では図37に示した実施例とはほぼ同じだが、メモリ302の内容の消去を行う範囲が異なり、ステップS121で書き込みアドレスの初期値をそれぞれ行っていた複写動作の画像データを記憶した先頭アドレスとし、ステップS124での消去の終了条件を画像データを記憶した終了アドレスとしている。このようにすることにより、メモリ302の全領域を消去する場合と比較して短時間で済む。

【0080】上記の実施例によれば、無関係な人による画像再形成を防止することが可能となる。また、記憶手段の使用した部分のみの消去を実行し、短時間で消去が行える。

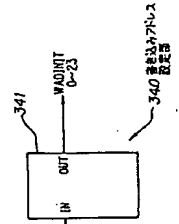
【0081】【発明の効果】以上の説明より明かのように、本発明のデジタル画像形成装置は、原稿上の画像をデジタル的に読み取り、読み取られた画像データを記憶し、記憶した画像データに基づいて画像形成を行う。一連の画像形成動作終了後に、再度画像データを読み出し、画像形成を行わせる。記憶した画像データは仕様に消去が可能とする。よって、無関係な人による画像再形成を防止することが可能となる。また、所定の時間経過後に自動的に消去させたりすると利便性が向上する。

【図面の簡単な説明】
【図1】本発明のデジタル画像形成装置を複写機へ適用した実施形態の構成例を示すブロック図である。
【図2】スキャナの構成例を示す図である。
【図3】スキャナ内の各制御信号と原稿との関係を示す図である。
【図4】画像メモリの周辺回路の構成例を示す図である。
【図5】スキャナの原稿搬送部を上からみた図である。
【図6】A4紙の原稿の幅及び長さを検知する手順を説明するための図である。
【図7】書き込みカウンタ部の構成例を示す回路図である。

【図8】



【図12】



ある。
【図13】読出有効信号発生部の構成例を示す回路図である。
【図14】読出有効信号発生部の動作を説明するためのタイミング図である。

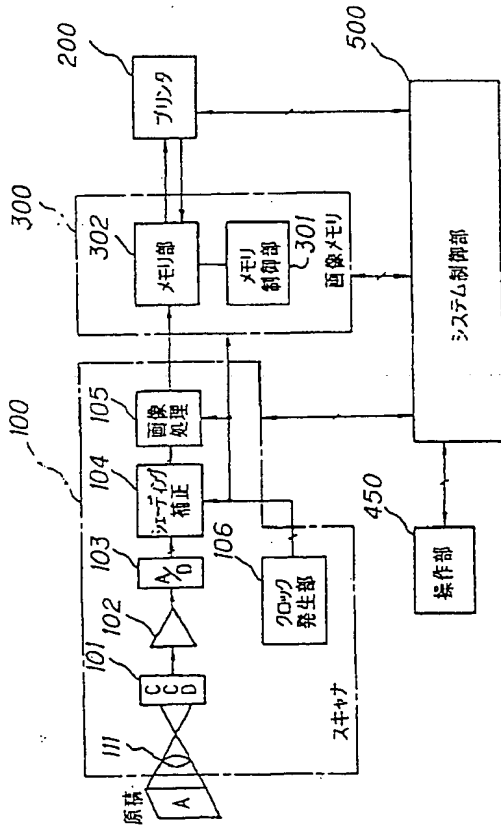
【図15】読出ラインカウンタ部の構成例を示す回路図である。
【図16】読出ラインカウンタ部の動作を説明するためのタイミング図である。
【図17】読出アドレス発生部の構成例を示す回路図である。

【図18】読出アドレス発生部の動作を説明するためのタイミング図である。
【図19】読出アドレス発生部の構成例を示す回路図である。

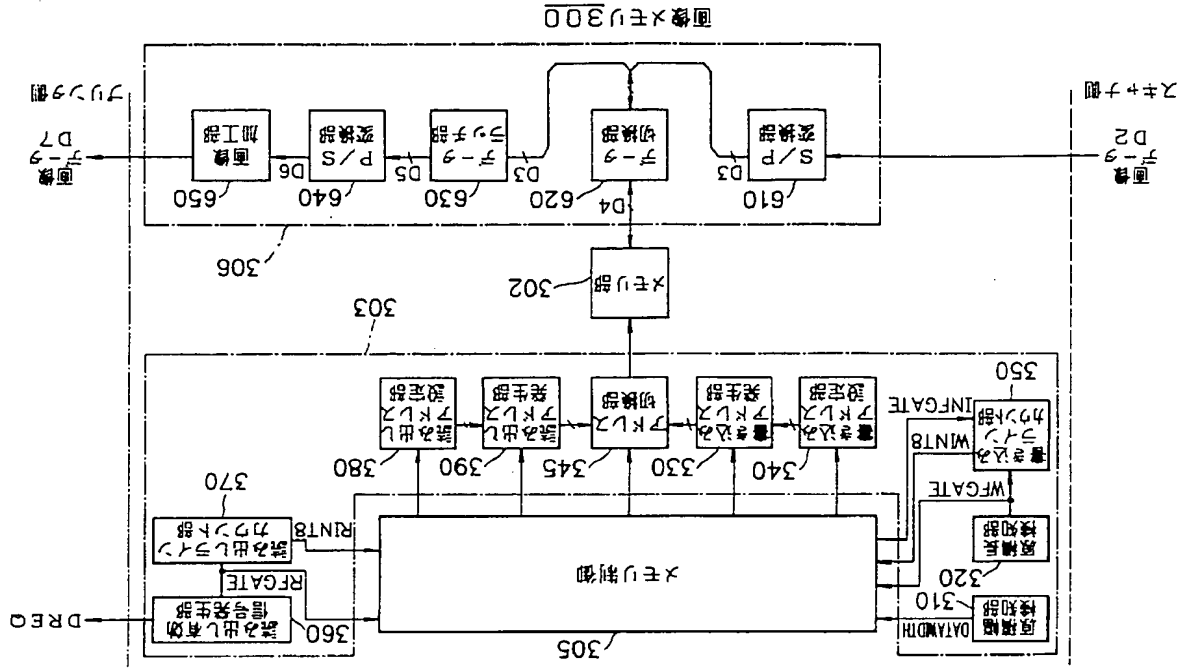
【図20】メモリ制御が行うメインの動作フローチャートである。
【図21】1枚目の原稿を読み出すための読み出しアドレスをメモリに対して設定する動作フローチャートである。
【図22】カウンタの初期化及びライト用のカウンタ値の保存などを行う動作フローチャートである。
【図23】メモリ側のリードアドレスの先頭の値の計算及び読出アドレス設定部Aへの設定を行う動作フローチャートである。
【図24】カウンタの値の保存と初期化及びメモリ側の書き込みアドレスの初期値の設定を行う動作フローチャートである。
【図25】読出有効信号発生部に対してRFGENBをHレベルに設定する動作フローチャートである。
【図26】S/P変換部の構成例を示す回路図である。
【図27】S/P変換部の動作を説明するためのタイミング図である。
【図28】メモリ部の動作を説明するためのタイミング図である。
【図29】データ切り換え部の構成例を示す回路図である。
【図30】データラッチ部の構成例を示す回路図である。
【図31】データラッチ部の動作を説明するためのタイミ

ング図である。
【図32】P/S変換部の構成例を示す回路図である。
【図33】P/S変換部の動作を説明するためのタイミング図である。
【図34】画像加工部の構成例を示す回路図である。
【図35】一連の複写動作と各割り込みタイミングの関係を示すタイミング図である。
【図36】メモリの内容の消去を行うまでの制御例を示すフローチャートである。
【図37】実際にメモリの内容を消去する制御例を示すフローチャートである。
【図38】実際にメモリの内容を消去する制御例を示すフローチャートである。
【符号の説明】
100 スキャナ
101 CCD（電荷転送素子）
102 増幅回路
103 A/D変換器
104 ジェネレーティング補正回路
105 画像処理回路
106 クロック発生部
108 コンタクトガラス
110 光源
111 レンズ
200 プリント
300 画像メモリ
301 メモリ制御部
302 メモリ部
303 アドレス制御部
310 原稿検知部
320 原稿長検知部
330 書き込みアドレス発生部
340 書き込みアドレス設定部
360 読出有効信号発生部
370 読出ラインカウンタ部
380 読出アドレス設定部
390 読出アドレス発生部
450 操作部
500 システム制御装置
700 同軸ケーブル

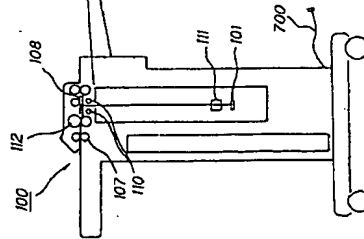
【図1】



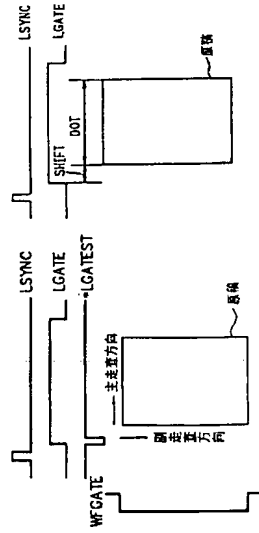
【図4】



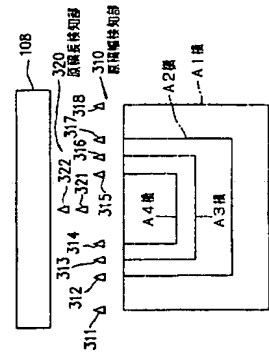
【図2】



【図3】



【図5】



650

